

## PATENT ABSTRACTS OF JAPAN



(11)Publication number : 11-004204

(43)Date of publication of application : 06.01.1999

(51)Int.Cl.

H04J 3/00  
H04N 7/08  
H04N 7/081  
H04N 7/24

(21)Application number : 09-170939

(71)Applicant : SONY CORP

(22)Date of filing : 11.06.1997

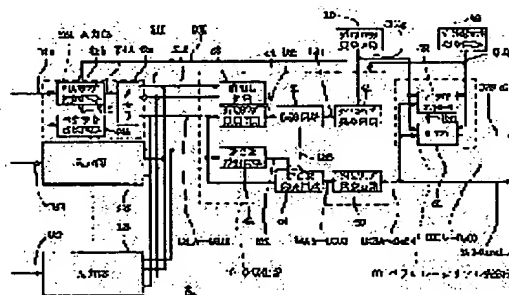
(72)Inventor : SETO HIROAKI  
KUBOTA TATSUYA  
WAKATSUKI NORIO

## (54) MULTIPLEX DEVICE/METHOD

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a multiplex device which can supply packet data synchronized with plural different frequencies with simple constitution.

**SOLUTION:** A multiplex part 40 multiplexing packet data and correcting time information on packet data accompanied by multiplex, a buffer 61 for writing and accumulating packet data and reading it synchronized with the frequency different from that at the time of writing packet data and a buffer controller 62 controlling time from the writing of packet data to the reading of it to be constant are provided. Thus, the multiplex device 31 which can supply packet data synchronized with the plural different frequencies is provided with simple circuit configuration.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Table of Contents] this invention is explained in order of the following.

[0002] The technical field Prior art to which invention belongs (drawing 7 - drawing 13)

The gestalt of implementation of technical problem The means for solving a technical problem invention which invention tends to solve (drawing 1 - drawing 6)

Effect of the invention [0003]

[The technical field to which invention belongs] this invention is applied to the multiplexing equipment and the multiplexing method of a digital broadcast system, concerning multiplexing equipment and the multiplexing method, and is suitable.

[0004]

[Description of the Prior Art] It is MPEG 2 (MovingPicture Experts Group Phase 2) as the compression coding method of recent years and image data and voice data. There is a method called. Therefore it is standardized by engines, such as ITU-T (International Telecommunication Union-Telecommunication Standardization Sector: International Telecommunication Union telecommunication standardization section), (for example, advice, H.222.0, etc.), and the compression coding method by this MPEG 2 carries out compression coding of image data and the voice data, and it is standardized in order to carry out multiplexing processing and to accumulate and transmit this.

[0005] By the compression coding method by this MPEG 2, the data format (this is hereafter called PS data format) which considers as the data format which carries out multiplexing processing of the image data and voice data which carried out compression coding, and is called program stream (PS: Program Stream), and the data format (this is hereafter called TS data format) called transport stream (TS: Transport Stream) are actually specified. Incidentally, PS data format is applied when accumulating the image data and voice data by which multiplexing processing was carried out to a predetermined digital accumulation medium, and TS data format is applied when transmitting multiplex image data and voice data.

[0006] For example, by TS data format, the image data and voice data by which compression coding was carried out turn a packet (this is hereafter called TS (Transport Stream) packet) for every predetermined unit, respectively, and it is specified that it forms TS packet train (the so-called transport stream) here by carrying out Time Division Multiplexing of each TS packet obtained as a result. In addition, TS packet consists of a header unit and data division, a synchronous byte, a packet identifier, and other various packet control data are stored in a header unit, and the image data or voice data by which compression coding was carried out is stored in data division. Incidentally,

a synchronous byte is data in which the start of TS packet is shown, and a packet identifier is data in which the content of the information stored in TS packet is shown.

[0007] By the way, compression coding of image data and the voice data is carried out using the compression coding method by MPEG 2 which was mentioned above, multiplexing processing is carried out and the digital broadcast system which broadcasts this using a ground wave, a satellite wave, or a cable is considered in recent years. By such digital broadcast system, it is thought by TS-packet-izing and carrying out multiplexing processing, as the image data and voice data which carried out compression coding were mentioned above, respectively that two or more television programs by one circuit can be broadcast.

[0008] Namely, this digital broadcast system is actually applied to digital television broadcast of DVB (Digital Video Broadcasting) etc. For example, since about about 20 to 30 transponder is carried in the usual broadcasting satellite and it has the band which is a per [ transponder [Mbps] ] more than 30 [ about ] grade when a broadcasting satellite is used as a transmission medium If it assumes that the band about per [ 4 ] television program [Mbps] is used while one transponder assumes that it has the band which is 36 [Mbps] grades Per transponder  $36 / 4 = 9$  It is thought that nine television programs can be simultaneously broadcast as therefore expressing. This is called many channelization (or multiplexing).

[0009] By the way, in this digital broadcast system, a hour entry (this is hereafter called PCR (Program Clock Reference)) when the TS packet data concerned are formed in the head section of TS packet data in a transmitting side is stored, and it is made as [ reproduce / correctly / image data and voice data ] by synchronizing the phase of the clock of a receiving side of operation with the phase of the clock of a transmitting side of operation based on this PCR. In addition, PCR is not stored in all TS packet data, but is stored in them for every predetermined TS packet data which can maintain exact reproduction of image data and voice data in a receiving side. Incidentally, PCR is stored for every TS packet data in which the initial data for one frame of image data or voice data were stored.

[0010]

[Problem(s) to be Solved by the Invention] Drawing 7 is what shows the example of 1 composition of such a digital broadcast system 5. first in a sending set 6 In the coding equipments 8A-8N which correspond the predetermined data (for example, image data D1 A-D1N, voice data D2 A-D2N, and program information data D3 A-D3N) corresponding to the television program supplied from each data output sections 7A-7N, respectively, respectively While carrying out compression coding, the image data, voice data, and program information data which were obtained by doing in this way and by which compression coding was carried out are formed into TS packet for every predetermined block one by one, TS packet data D4 A-D4N is formed, and it is made as [ supply / one by one / this / to multiplexing equipment 9 ].

[0011] Of operation clock CLK1 A-CLK1N is supplied from the clock generation circuits 10A-10N which correspond, respectively, and each coding equipments 8A-8N perform processing of compression coding, the formation of TS packet, etc. to the timing which is this of operation clock CLK1 A-CLK1N here.

[0012] Moreover, each clock generation circuits 10A-10N supply of operation clock CLK1 A-CLK1N also to the PCR generating circuits 11A-11N which correspond, respectively, count each PCR generating circuits 11A-11N one by one synchronizing with of operation clock CLK1 A-CLK1N which corresponds, respectively, and supply this counted value data to the coding equipments 8A-8N which correspond as counted value data D5 A-D5N, respectively.

[0013] As shown in drawing 8 in this way, in case each coding equipments 8A-8N form two or more TS packet data D4 A-D4Ns, respectively, they store the counted value when forming these, respectively in predetermined TS packet

data TS1-TS3 for PCR storing as PCR. In addition, each coding equipments 8A-8N are between each TS packet data TS [ TS1 ] 3 0. Namely, between TS packet data TS1 and TS packet data TS2, Or so that the time interval (number of counts) in which PCR between TS packet data TS2 and TS packet data TS3 is stored may be made in agreement with the time interval which supplies each [ these ] TS packet data TS1-TS3 It carries out and each TS packet data D4 A-D4N is supplied to multiplexing equipment 9, respectively.

[0014] In this way, by multiplexing each TS packet data D4 A-D4N (TS packet data with which PCR was stored being included) inputted from each coding equipments 8A-8N, respectively, multiplexing equipment 9 forms the transport stream D7, and supplies it to a sending circuit 12. A sending circuit 12 changes the transport stream D7 into the sending signal S1 of a predetermined format, and is transmitted.

[0015] On the other hand, with a receiving set 15, after receiving a sending signal S1 in a receiving circuit 16 and changing into the transport stream D7, each selection circuitries 17A-17N in which this was prepared corresponding to each data output sections 7A-7N of a sending set 6 are supplied. Each selection circuitries 17A-17N choose from the transport stream D7 each TS packet data D4 A-D4N which corresponds, respectively, and supply this to corresponding extraction circuits 18A-18N and decryption equipments 19A-19N.

[0016] every to which the extraction circuits 18A-18N correspond, respectively -- every in which PCR was stored from TS packet data D4 A-D4N -- TS packet data D4 A-D4N is sorted out, the PCR concerned is extracted, and this is supplied to the phase-synchronous-loop circuits (this is called below PLL (Phase Locked Loop) circuit) 20A-20N which correspond as PCR data D8 A-D8N, respectively

[0017] The PLL circuits 20A-20N generate of operation clock CLK2 A-CLK2N which synchronized with of operation clock CLK1 A-CLK1N supplied from the clock generation circuits 10A-10N in a sending set 6 using each PCR data D8 A-D8N which corresponds, respectively, and supply it to each decryption equipments 19A-19N which correspond, respectively.

[0018] With a receiving set 15, each TS packet data D4 A-D4N which corresponds in the double sign-ized circuits 19A-19N, respectively in this way It decrypts one by one to the timing of of operation clock CLK2 A-CLK2N which synchronized with of operation clock CLK1 A-CLK1N in the coding equipments 8A-8N of a sending set 6. Thus, it is made as [ reproduce / image data D1 A-D1N, voice data D2 A-D2N, and program information data D3 A-D3N which was obtained and which was decrypted ].

[0019] By the way, intermediary \*\*\*\* [ as ] multiplexed by reading each one TS packet data D4 A-D4N of every to which multiplexing equipment 9 is supplied from each coding equipments 8A-8N, respectively in predetermined order one by one in the digital broadcast system 5 of such composition.

[0020] that is, it is shown in drawing 9 -- as -- multiplexing equipment 9 -- for example, the 1· the case where the image data corresponding to the 5th television program CH1-CH5 etc. are multiplexed, respectively -- the 1· it consists of the input sections 27A-27E and the one multiplexing section 28 corresponding to the 5th television program CH1-CH5 With multiplexing equipment 9, TS packet data D15A corresponding to the 1st television program CH1 reaches input section 27A by this to the timing (for example, timing counted value indicates "n" to be) in which PCR was stored, for example. Moreover, it is supplied so that TS packet data D15B corresponding to the 5th television program CH5 may reach input section 27E to the timing (timing counted value indicates "n+1" to be) by which PCR was stored in this. It is supplied so that TS packet data D15C corresponding to the 2nd television program CH2 may furthermore also reach input section 27B to the timing (timing counted value indicates "n+2" to be) by which PCR was stored in this. It is made as [ carry out / multiplexing processing ] by reading each TS packet

data D15 A-D15C into the multiplexing section 28 one by one in this way in the turn which reached each input sections 27A-27E.

[0021] As shown in drawing 10 , however, with multiplexing equipment 9 For example, if each TS packet data D15B and D15C reach the input sections 27E and 27B, respectively while reading TS packet data D15A in the multiplexing section 28 This TS packet data D15B and D15C will be made to stand by in the corresponding input sections 27E and 27B, respectively, and delay will produce them in this way at the supply time of each TS packet data D15B and D15C.

[0022] The time interval to which each [ these ] TS packet data D15 B-D15D is supplied increases to the number of counts between each TS packet data D15 B-D15D, and it becomes impossible that is, to express by the number of counts which is the time interval the time interval concerned is indicated to be between PCR(s).

[0023] Therefore, of operation clock CLK1 A-CLK1N of a sending set 6 and of operation clock CLK2 A-CLK2N of a receiving set 15 stop synchronizing, and it is hard coming to reproduce image data, voice data, and program information data in this way in the digital broadcast system 5 as shown in drawing 7 correctly in a receiving set 15.

[0024] For this reason, in the multiplexing equipment 9 shown in drawing 7 , each TS packet data D15 A-D15D detects a standby state and \*\*\*\*\* time, and the PCR correction circuit which corrects PCR of each TS packet data D15 A-D15D based on this time is needed.

[0025] By the way, DVB-ASI (Digital Video Broadcasting-AsynchronousSerial Interface) and two kinds of DVB-Paralell (Digital Video Broadcasting-Paralell) are mainly used for TS packet interface which is the specification which sends out a present TS packet. DVB-ASI is a serial transmission, and as shown in drawing 11, it transmits TS packet on the frequency of 27 [MHz]. The interval between packets is specified as at least two or more clocks. DVB-Paralell is parallel transmission and is shown in drawing 12 .. as .. It is the frequency below 13.5 [MHz] and TS packet is transmitted continuously.

[0026] DVB-ASI and DVB-Paralell are \*\*\*\*\* with the advantage as shown below, and demerit, respectively. Since the cable which can lengthen distance which can be transmitted and uses it compared with DVB-Paralell can also use a coaxial cable because of a serial transmission, DVB-ASI is excellent in the handling which faces installation. On the other hand, although the distance of DVB-Paralell which can be transmitted is short compared with DVB-ASI because of parallel transmission and the cable to be used also uses a thick thing compared with DVB-ASI, the design of a circuit becomes easy in order that synchronizing frequency may operate on low frequency compared with DVB-ASI below 13.5 [MHz].

[0027] Thus, since DVB-ASI and DVB-Paralell have the advantage and demerit, respectively, they are used by both, being intermingled, and the multiplexing equipment used at a broadcasting station etc. needs to be equipped with two, DVB-ASI and DVB-Paralell.

[0028] Since synchronizing frequency differs, as for DVB-ASI and DVB-Paralell, the multiplexing section of respectively exclusive use in the multiplexing section for DVB-ASI and the multiplexing section for DVB-Paralell is needed here. For this reason, the fault that the circuit scale of the multiplexing section serves as double precision, and circuitry becomes complicated when it is going to have two interfaces, DVB-ASI and DVB-Paralell, in multiplexing equipment 9, as shown in drawing 13 is \*\*\*\*\*.

[0029] this invention was made in consideration of the above point, and tends to propose the multiplexing equipment which can supply TS packet data which synchronized with the frequency from which plurality differs with simple composition.

[0030]

[Means for Solving the Problem] Packet data can be supplied on two different frequency by detecting the processing time which multiplexing processing of packet data in which the hour entry was stored at least took in this invention, in order to solve this technical problem, correcting the hour entry of the packet data which correspond based on this processing time, writing in and accumulating packet data subsequently, and having made it read synchronizing with different frequency from the time of writing in after fixed time.

[0031]

[Embodiments of the Invention] About a drawing, the gestalt of 1 operation of this invention is explained in full detail below. In drawing 1 which attaches and shows the same sign to a corresponding point with drawing 7, 30 is constituted like the digital broadcast system 5 which shows a digital broadcast system as a whole, and is shown in drawing 7 except for the composition of multiplexing equipment 31.

[0032] A sending set 6 In the coding equipments 8A-8N which correspond the predetermined data (for example, image data D1 A-D1N, voice data D2 A-D2N, and program information data D3 A-D3N) corresponding to the television program supplied from each data output sections 7A-7N, respectively, respectively While carrying out compression coding, the image data, voice data, and program information data which were obtained by doing in this way and by which compression coding was carried out are formed into TS packet for every predetermined block one by one, TS packet data D4 A-D4N is formed, and it is made as [ supply / one by one / this / to multiplexing equipment 31 ].

[0033] Of operation clock CLK1 A-CLK1N is supplied from the clock generation circuits 10A-10N which correspond, respectively, and each coding equipments 8A-8N perform processing of compression coding, the formation of TS packet, etc. to the timing which is this of operation clock CLK1 A-CLK1N here.

[0034] Moreover, each clock generation circuits 10A-10N supply of operation clock CLK1 A-CLK1N also to the PCR generating circuits 11A-11N which correspond, respectively, count each PCR generating circuits 11A-11N one by one synchronizing with of operation clock CLK1 A-CLK1N which corresponds, respectively, and supply this counted value data to the coding equipments 8A-8N which correspond as counted value data D5 A-D5N, respectively.

[0035] As shown in drawing 1 in this way, in case each coding equipments 8A-8N form two or more TS packet data D4 A-D4Ns, respectively, they store the counted value when forming these, respectively in predetermined TS packet data TS1-TS3 for PCR storing as PCR. In addition, each coding equipments 8A-8N are between each TS packet data TS [ TS1-] 3 0. Namely, between TS packet data TS1 and TS packet data TS2, Or so that the time interval (number of counts) in which PCR between TS packet data TS2 and TS packet data TS3 is stored may be made in agreement with the time interval which supplies each [ these ] TS packet data TS1-TS3 It carries out and each TS packet data D4 A-D4N is supplied to multiplexing equipment 31, respectively.

[0036] In drawing 2 which attaches and shows the same sign to a corresponding point with drawing 13, 31 shows multiplexing equipment as a whole, and two or more input sections 32A-32N which become with composition similarly are connected to the multiplexing section 40. The multiplexing section 40 is connected to a sending circuit 12 ( drawing 1 ) via two interfaces, the DVB-ASI interface (following DVB-ASI) which goes via the parallel-serial transducer 60, and the DVB-Parallel interface (following DVB-Paralell) which does not go via the parallel-serial transducer 60. The parallel clock CLKp is supplied to the multiplexing section 40 from the parallel clock generation circuit 63, and the multiplexing section 40 is operating synchronizing with the parallel clock CLKp concerned.

[0037] Drawing 3 is the detailed block diagram of multiplexing equipment 31. TS packet data D4 A-D4N is supplied

to the input sections 32A-32N which correspond from the coding equipments 8A-8N, respectively. TS packet data D4A supplied to input section 32A is supplied to packet discrimination decision circuit 34A and time stamp addition circuit 35A. Packet discrimination decision circuit 34A supplies a timing signal S10 to time stamp addition circuit 35A, when the tail end of each TS packet data D4A is discriminated and the tail end concerned reaches input section 32A.

[0038] The time stamp generating circuit 41 is established in the multiplexing section 40 here, and the serial clock CLKs which the serial clock generation circuit 10 generates is supplied to the time stamp generating circuit 41 concerned. The time stamp generating circuit 41 performs count operation synchronizing with the serial clock CLKs, and supplies it to time stamp addition circuit 35A by using counted value as the counted value data D30.

[0039] After time stamp addition circuit 35A adds the counted value at the time of the TS packet data D4A concerned reaching input section 32A to the tail end of TS packet data D4A which arrived one by one based on the timing signal S10 as the 1st time stamp TM 1, it is supplied to it as TS packet data D31A at memory 42A. This 1st time stamp TM 1 means the time when multiplexing equipment 31 started multiplexing processing of TS packet data D4A.

[0040] Memory 42A is supplied to the read-out circuit 43 of the multiplexing section 40 by making this storing information into the storing signal S11 while it stores each inputted TS packet data D31A one by one.

[0041] If the storing information on TS packet data D31A in memory 42A is distinguished based on the storing signal S11 and the amount of storing of the TS packet data D31A concerned reaches the specified quantity, the read-out circuit 43 will be read to the memory 42A concerned, and will supply a signal S12.

[0042] The memory 42 which received the read-out signal S12 reads TS packet data D31A stored in the interior, and supplies it to the time stamp discrimination decision circuit 44, the PCR discrimination decision circuit 45, and the PCR correction circuit 46 which were established in the multiplexing section 40, respectively.

[0043] The time stamp discrimination decision circuit 44 discriminates the 1st time stamp TM 1 added to TS packet data D31A, and supplies it to an arithmetic circuit 51 by making this into the 1st time stamp data D35.

[0044] The counted value data D30 are always supplied to the arithmetic circuit 51 from the time stamp generating circuit 41, and the counted value at the time of the 1st time stamp data D35 arriving is incorporated as the 2nd time stamp TM 2. This 2nd time stamp TM 2 means the time when TS packet data D4A ended multiplexing processing in multiplexing equipment 31. Therefore, an arithmetic circuit 51 computes the processing time T which is the time which multiplexing processing of TS packet data D4A took to multiplexing equipment 31 from the 2nd time stamp TM 2 by reaching 1st time stamp TM1, and sends it out to the PCR correction circuit 46 by using the processing time T concerned as the processing-time data D36.

[0045] The PCR discrimination decision circuit 45 discriminates the existence of PCR in each TS packet data D31A. When PCR is stored in the TS packet data D31A concerned, correction processing operation of PCR is performed in the PCR correction circuit 46. When PCR is not stored in the TS packet data concerned, the control signal S20 of a content which stops correction processing operation of PCR in the PCR correction circuit 46 is sent out to the PCR correction circuit 46.

[0046] By this, the PCR correction circuit 46 performs the PCR corrective action, when PCR is stored in TS packet data D31A inputted from memory 42A. From PCR and the processing-time data D36 which are contained in the TS packet data D31A concerned The correction PCR which is PCR which added the time which multiplexing processing took to PCR calculated at the time of coding is computed. After storing the correction PCR concerned in the



predetermined position where it was stored in PCR of TS packet data D31A, the time stamp removal circuit 50 is supplied using the TS packet data D31A concerned as correction TS packet data D40A. Moreover, the time stamp removal circuit 50 is supplied, using [ when PCR is not stored in TS packet data D31A inputted from memory 42A, stop the PCR corrective action, and ] the TS packet data D31A concerned as correction TS packet data D40A as it is. [0047] The time stamp removal circuit 50 supplies this to the parallel-serial transducer 60 via DVB-Parallel as parallel TS packet data D45A again at a sending circuit 12 ( drawing 1 ), after removing the 1st time stamp TM 1 from correction TS packet data D40A.

[0048] PCR is the value of the counter which uses the serial clock CLKs as a clock here. Moreover, the multiplexing section 40 is operating synchronizing with the parallel clock CLKp, and parallel TS packet data D45A also synchronizes with the parallel clock CLKp. However, it does not restrict that the serial clock CLKs and the parallel clock CLKp synchronize, but frequency also differs. For this reason, as shown in drawing 4 , the error of one or less clock is produced on the serial clock CLKs between the correction PCR timing tpc (n) which one certain correction PCR shows, and the parallel PCR timing tpp (n) of PCR-p (n) which is PCR of parallel TS packet data D45A corresponding to this. This error is called PCR correction error Tpce.

[0049] However, by the specification of DVB, since this error is made into the inside of tolerance if it is less than 13 clocks, this PCR correction error Tpce does not pose a problem practically. For this reason, it can consider as the parallel PCR timing tpp (n) using the correction PCR timing tpc (n). Therefore, the value of the correction PCR corrected in the PCR correction circuit 46 can be used as PCR (PCR-p (n)) of parallel TS packet data D45A.

[0050] In this way, the multiplexing section 40 corrects the PCR concerned of TS packet data D31A in which PCR was stored based on the processing time of multiplexing processing, and is made as [ make / in agreement / the time interval which supplies each parallel TS packet data D45A in which the correction PCR concerned was stored, and the difference of the number of counts during the correction PCR concerned ].

[0051] Incidentally in this multiplexing section 40, by reading from the each input sections [ 32A-32N ] memory 42A-42N which corresponds, respectively, and supplying the storing signal S11 to a circuit 43 every [ in / each memory 42A-42N / in the read-out circuit 43 ] -- a TS packet data D31A-31N storing situation -- distinguishing -- every, if the TS packet data D31A-31N amount of storing reaches the specified quantity Based on the turn of read-out of each memory 42A-42N set up beforehand, it reads to each memory 42A-42N one by one, and a signal S12 is supplied. thereby -- the multiplexing section 40 -- the read-out circuit 43 -- every -- reading one [ at a time ] TS packet data D31A-31N one by one -- every -- it is made as [ carry out / multiplexing processing of the TS packet data D31A-31N ]

[0052] Parallel TS packet data D45A sent out to the parallel-serial transducer 60 is supplied to a buffer 61 and the buffer controller 62. If the buffer controller 62 supervises parallel TS packet data D45A and supply of the parallel TS packet data D45A concerned is checked, it sends out the read/write signal S21 to a buffer 61, and directs the writing of parallel TS packet data D45A to a buffer 61. The buffer 61 which received the read/write signal S21 starts the writing of parallel TS packet data D45A, and accumulates the parallel TS packet data D45A concerned to the interior.

[0053] Furthermore, the buffer controller 62 continues the surveillance of parallel TS packet data D45A, if it checks that the buffer 61 has completed the writing of one packet of the TS packet data D45A concerned, the read/write signal S21 is sent out to a buffer 61, and read-out of parallel TS packet data D45A accumulated to the buffer 61 is directed. A buffer 61 synchronizes TS packet data D45A with the serial clock CLKs, and is sent out to a sending

circuit 12 ( drawing 1 ) via DVB-ASI as serial TS packet data D50A.

[0054] Drawing 5 is the timing chart showing the writing and read-out operation of a buffer 61, and if write-in operation W will be performed synchronizing with the parallel clock CLKp if parallel TS packet data D45A arrives, and the writing of one packet of the parallel TS packet data D45A concerned is completed, the buffer 61 performed read-out operation R immediately synchronizing with the serial clock CLKs, and has sent it out as serial TS packet data D50A.

[0055] Here, delay arises between the correction PCR timing tpc (n) which one certain correction PCR shows, and the serial PCR timing tps (n) of PCR-s (n) which is PCR of serial TS packet data D50A corresponding to this. This delay is called conversion delay td. As shown in drawing 6 , the conversion delay td is overdue with delay tda, is divided into tdb and considered.

[0056] Delay tda is equivalent to the time to the parallel tail end timing tep (n) which hits the tail end of a corresponding parallel TS packet from the correction PCR timing tpc (n). Furthermore, delay tda is divided into the parallel PCR timing tpp (n) - the parallel tail end timing tep (n) between the correction PCR timing tpc (n) - the parallel PCR timing tpp (n), and is considered. It is PCR correction error Tpce shown by drawing 4 between tpc (n) - tpp (n), and it can be practically disregarded on a serial clock because of one or less clock. Between tpp (n) - tep (n), it is the time to the tail end of the parallel TS packet which contains the PCR packet concerned from the head of a PCR packet, and it is always fixed. For this reason, it can always be considered practically that delay tda is regularity.

[0057] Delay tdb is equivalent to the time from the parallel tail end timing tep (n) which hits the tail end of a parallel TS packet to the serial PCR timing tps (n). Furthermore, delay tdb is divided into the serial head section timing ths (n) - the serial PCR timing tps (n) between the parallel tail end timing tep (n) - the serial head section timing ths (n), and is considered. Between tep (n) - ths (n), it is delay after a buffer 61 completes the writing of one TS packet until it reads the TS packet concerned synchronizing with the serial clock CLKs, and since this is one or less clock on a serial clock, it can be disregarded practically. Between ths (n) - tps (n), it is the time from the head of a serial TS packet to the head of a PCR packet, and it is always fixed. For this reason, it can always be considered practically that delay tdb is regularity.

[0058] Therefore, it can always be considered practically that the conversion delay td is regularity. For this reason, since the interval of PCR-p (n) shown in drawing 6 , PCR-s (n) and PCR-p (n+1), a corresponding parallel TS packet like PCR-s (n+1), and a serial TS packet becomes always fixed, the interval of PCR-p (n) and PCR-p (n+1) and the interval of PCR-s (n) and PCR-s (n+1) become always the same. This means that a serial TS packet is supplied at the same interval as a parallel TS packet.

[0059] By the above, the correction PCR corrected in the PCR correction circuit 46 can be used as PCR of serial TS packet data D50 A-D50N.

[0060] The serial-parallel transducer 60 performs parallel-serial conversion (it is also called frequency conversion) which puts and changes TS packet into a serial clock from a parallel clock in this way.

[0061] every to which multiplexing equipment 31 was supplied from the coding equipments 8A-8N in this way -- the time which multiplexed TS packet data D4 A-D4N, and multiplexing processing took -- computing -- every -- after correcting PCR contained in TS packet data, it is made as [ supply / a sending circuit 12 / as parallel TS packet data D45 A-D45N via DVB-Paralell, and serial TS packet data D50 A-D50N via DVB-ASI ]

[0062] A sending circuit 12 chooses either parallel TS packet data D45 A-D45N or serial TS packet data D50 A-D50N, and changes and transmits it to the sending signal S1 of a predetermined format.

[0063] On the other hand, with a receiving set 15, after receiving a sending signal S1 in a receiving circuit 16 and changing into the transport stream D7, each selection circuitries 17A-17N in which this was prepared corresponding to each data output sections 7A-7N of a sending set 6 are supplied. Each selection circuitries 17A-17N choose from the transport stream D7 each TS packet data D4 A-D4N which corresponds, respectively, and supply this to corresponding extraction circuits 18A-18N and decryption equipments 19A-19N.

[0064] every to which the extraction circuits 18A-18N correspond, respectively -- every in which PCR was stored from TS packet data D4 A-D4N -- TS packet data D4 A-D4N is sorted out, the PCR concerned is extracted, and this is supplied to the PLL circuits 20A-20N which correspond as PCR data D8 A-D8N, respectively

[0065] The PLL circuits 20A-20N generate of operation clock CLK2 A-CLK2N which synchronized with of operation clock CLK1 A-CLK1N supplied from the clock generation circuits 10A-10N in a sending set 6 using each PCR data D8 A-D8N which corresponds, respectively, and supply it to each decryption equipments 19A-19N which correspond, respectively.

[0066] A receiving set 15 each TS packet data D4 A-D4N which corresponds, respectively in the double sign-ized circuits 19A-19N in this way It decrypts one by one to the timing of operation clock CLK2 A-CLK2N which synchronized with of operation clock CLK1 A-CLK1N in the coding equipments 8A-8N of a sending set 6. Thus, it is made as [ reproduce / image data D1 A-D1N, voice data D2 A-D2N, and program information data D3 A-D3N which was obtained and which was decrypted ].

[0067] After multiplexing equipment 31 adds the 1st time stump TM 1 in which the timing which arrived at the time stump addition circuits 35A-35N where each TS packet data D4 A-D4N corresponds, respectively is shown in the input sections 32A-32N in the above composition, The time stump discrimination decision circuit 44, the PCR discrimination decision circuit 45, and the PCR correction circuit 46 of the multiplexing section 40 are supplied as TS packet data D31 A-D31N with directions of the read-out signal S12 supplied from a readout circuitry 43.

[0068] The time stump discrimination decision circuit 44 discriminates the 1st time stump TM 1 added to TS packet data D31 A-D31N, and supplies it to an arithmetic circuit 51 by making this into the 1st time stump data D35.

[0069] An arithmetic circuit 51 is obtained from the counted value data D30 which mean the end time of multiplexing processing and with which the time stump generating circuit 41 supplies the 2nd time stump TM 2 in which the timing to which the 1st time stump data D35 arrived at the arithmetic circuit 51 concerned is shown.

[0070] From the 1st time stump TM 1 and the 2nd time stump TM 2, multiplexing equipment 31 computes the processing time T which is the time which multiplexing took, and supplies an arithmetic circuit 51 to the PCR correction circuit 46 by using the processing time T concerned as the processing-time data D36.

[0071] After the PCR correction circuit 46 computes the correction PCR which added the time which multiplexing took to PCR contained in TS packet data D31 A-D31N, and PCR calculated from the processing-time data D36 at the time of coding and replaces it with PCR of the TS packet data D31 A-D31N concerned, it is supplied to the time stump removal circuit 50 as correction TS packet data D40 A-D40N.

[0072] The time stump removal circuit 50 supplies this to the buffer 61 and the buffer controller 62 of the parallel-serial transducer 60 via DVB-Paralell as parallel TS packet data D45 A-D45N again at a sending circuit 12, after removing the 1st time stump TM 1 from correction TS packet data D40 A-D40N.

[0073] The buffer controller 62 supervises parallel TS packet data D45 A-D45N, and a buffer 61 is received. As shown in drawing 5 , according to the supply start of parallel TS packet data D45 A-D45N, the parallel TS packet data D45 A-D45N concerned is written in. So that the parallel TS packet data D45 A-D45N concerned may be

synchronized with the serial clock CLKs according to write-in completion of parallel TS packet data D45 A-D45N and it may read as serial TS packet data D50 A-D50N The read/write signal S21 is supplied.

[0074] Here, as shown in drawing 6 , since the interval of a parallel TS packet and the serial TS packet corresponding to this, for example, PCR-p, (n), PCR-s (n) and PCR-p (n+1), and PCR-s (n+1) is always fixed, the interval of PCR-p (n) and PCR-p (n+1) and the interval of PCR-s (n) and PCR-s (n+1) become always the same. This means that a serial TS packet is supplied at the same interval as a parallel TS packet, and can use the correction PCR which was corrected in the PCR correction circuit 46 for this reason as PCR of serial TS packet data D50 A-D50N.

[0075] In this way, by control of the read/write signal S21, a buffer 61 writes in parallel TS packet data D45 A-D45N, performs parallel-serial conversion by reading as serial TS packet data D50 A-D50N which synchronized with the serial clock CLKs, and supplies it to a sending circuit 12 via DVB-ASI.

[0076] The input sections 32A-32N which according to the above composition add the 1st time stamp TM 1 in which the start time of multiplexing processing is shown, respectively to TS packet data D4 A-D4N, and are set to TS packet data D31 A-D31N, The 2nd time stamp TM 2 in which the time when multiplexing processing of the TS packet data D31 A-D31N was carried out is shown is incorporated. Based on the 1st time stamp TM 1 and the 2nd time stamp TM 2, each [ these ] TS packet data D31 A-D31N computes the processing time which multiplexing processing took. PCR of each TS packet data D31 A-D31N is corrected based on the processing time which multiplexing processing took about TS packet data D31 A-D31N. The multiplexing section 40 which is synchronized with the parallel clock CLKp and set to parallel TS packet data D45 A-D45N, By writing in parallel TS packet data D45 A-D45N, and having prepared the parallel-serial transducer read as serial TS packet data D50 A-D50N which synchronized with the serial clock CLKs after the fixed time lag The multiplexing equipment which has two output interfaces, DVB-ASI and DVB-Parallel, by simple circuitry can be realized.

[0077] In addition, in the gestalt of the above-mentioned operation, in order to control writing and read-out of a buffer 61, the buffer controller 62 is used. Based on the timing which timing and parallel TS packet data D45 A-D45N by which the supply start of the parallel TS packet data D45 A-D45N was carried out to the buffer 61 writes in a buffer 61 and by which it was completed, writing and read-out of a buffer 61 Although the case where it controlled was described, you may make it this invention apply other control means which can fix the time from the writing of parallel TS packet data D45 A-D45N not only in this but the buffer 61 to read-out.

[0078] Moreover, although the case where this invention was applied to the multiplexing equipment 31 used for the digital broadcast system 30 was described, you may make it apply this invention to the multiplexing equipment used for the various sending sets in addition to this, transmitter-receiver and recording device which applied the compression coding method not only by this but MPEG 2, and a record regenerative apparatus in the gestalt of the above-mentioned operation.

[0079] Although furthermore made as [ have /, respectively / DVB-Parallel and one DVB-ASI / as an output from multiplexing equipment 31 / in the gestalt of the above-mentioned operation ], you may make it this invention equipped with not only this but DVB-Parallel, and two or more DVB-ASI, respectively.

[0080] Furthermore, in the gestalt of the above-mentioned operation, although DVB-ASI and DVB-Parallel were used as an interface between multiplexing equipment 31 and a sending circuit 12, you may apply this invention not only to this but to the interface of other specification.

[0081]

[Effect of the Invention] According to this invention, packet data are multiplexed [ in addition ] as mentioned above. And a multiplexing means to correct the hour entry of the packet data accompanying multiplexing, The accumulation means which reads the packet data concerned synchronizing with different frequency from the time of writing in after writing in and accumulating packet data, By having prepared the control means which control uniformly the time from the writing of packet data to read-out, the multiplexing equipment and the multiplexing method of supplying the packet data which synchronized with the frequency from which plurality differs by simple circuitry can be realized.

---

[Translation done.]

**〈19〉日本國特許庁（J P）**

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-4204

(43)公開日 平成11年(1999)1月6日

(51) Int.Cl. <sup>8</sup>	識別記号
H 0 4 J	3/00
H 0 4 N	7/08
	7/081
	7/24

F I		
H 0 4 J	3/00	M
H 0 4 N	7/08	Z
	7/13	Z

審査請求 未請求 請求項の数 3 FD (全 13 頁)

(21)出願番号 特願平9-170939

(22)出願日 平成9年(1997)6月11日

(71)出願人 000002185  
ソニー株式会社  
東京都品川区北品川 6 丁目 7 番35号

(72)発明者 竊戸 浩昭  
東京都品川区北品川 6 丁目 7 番35号ソニー  
株式会社内

(72)発明者 窪田 達也  
東京都品川区北品川 6 丁目 7 番35号ソニー  
株式会社内

(72)発明者 若槻 典生  
東京都品川区北品川 6 丁目 7 番35号ソニー  
株式会社内

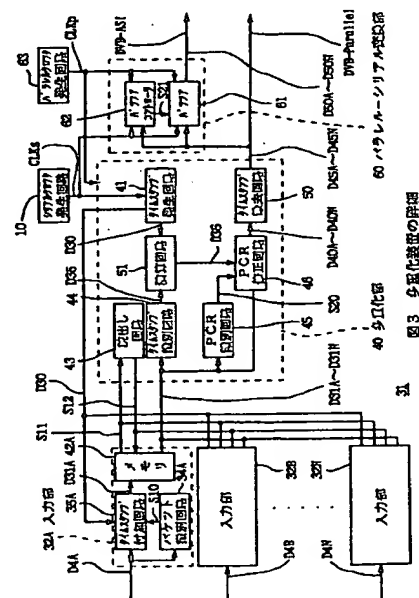
(74)代理人 弁理士 田辺 恵基

(54)【発明の名称】 多重化装置及び多重化方法

(57) 【要約】

【課題】簡易な構成で、複数の異なる周波数に同期したパケットデータを供給し得る多重化装置を得る。

【解決手段】パケットデータを多重化し、なおかつ多重化に伴うパケットデータの時間情報を修正する多重化部４０と、パケットデータを書き込み蓄積した後、当該パケットデータを書き込んだ時とは異なる周波数に同期して読み出すバツファ６１と、パケットデータを書き込みから読み出しまでの時間を一定に制御するバツファコントローラ６２とを設けるようにしたことにより、簡易な回路構成で、複数の異なる周波数に同期したパケットデータを供給し得る多重化装置３１を実現する。



## 【特許請求の範囲】

【請求項 1】複数系統から供給される、所定データが所定ブロック毎に必要に応じて時間情報が格納されてパケット化されることにより形成されたパケットデータを、順次多重化して出力する多重化装置において、上記時間情報が付加された上記パケットデータを多重化する多重化手段と、

上記多重化された各パケットデータを書き込み蓄積し、上記各パケットデータを、それぞれ書き込んだ時とは異なる周波数に同期して読み出す蓄積手段と、上記蓄積手段に対し上記パケットデータの書き込みから読み出しまでの時間を上記各パケット毎に一定に制御する制御手段とを具えることを特徴とする多重化装置。

【請求項 2】上記制御手段は、上記パケットデータが上記蓄積手段に供給開始された時間を基準として上記蓄積手段に上記パケットデータの書き込みを指示するとともに、上記パケットデータが上記蓄積手段に書き込み完了された時間を基準として上記蓄積手段に上記パケットデータの読み出しを指示することを特徴とする請求項 1 に記載の多重化装置。

【請求項 3】複数系統から供給される、所定データが所定ブロック毎に必要に応じて時間情報が格納されてパケット化されることにより形成されたパケットデータを、順次多重化する多重化方法において、上記時間情報が付加された上記パケットデータを多重化し、上記多重化された各パケットデータを書き込み蓄積し、上記各パケットデータを、それぞれ書き込んだ時とは異なる周波数に同期して読み出し、上記蓄積手段に対し上記パケットデータの書き込みから読み出しまでの時間を上記各パケット毎に一定に制御することを特徴とする多重化方法。

## 【発明の詳細な説明】

## 【0001】

【目次】以下の順序で本発明を説明する。

## 【0002】発明の属する技術分野

従来の技術（図 7～図 13）

発明が解決しようとする課題

課題を解決するための手段

発明の実施の形態（図 1～図 6）

発明の効果

## 【0003】

【発明の属する技術分野】本発明は多重化装置及び多重化方法に関し、例えばデジタル放送システムの多重化装置及び多重化方法に適用して好適なものである。

## 【0004】

【従来の技術】近年、映像データ及び音声データの圧縮符号化方法として M P E G 2 (MovingPicture Experts Group Phase 2) と呼ばれる方法がある。この M P E G 2 による圧縮符号化方法は、I T U - T (International

Telecommunication Union-Telecommunication Standardization Sector: 国際電気通信連合電気通信標準化部門) 等の機関によつて標準化 (例えば勧告、H.222.0 等) され、映像データ及び音声データを圧縮符号化し、これを多重化処理して蓄積及び電送する目的で規格化されている。

【0005】実際にこの M P E G 2 による圧縮符号化方法では、圧縮符号化した映像データ及び音声データを多重化処理するデータ形式としてプログラムストリーム

(PS:Program Stream) と呼ばれるデータ形式 (以下、これを P S データ形式と呼ぶ) と、トランスポートストリーム (TS:Transport Stream) と呼ばれるデータ形式 (以下、これを T S データ形式と呼ぶ) とが規定されている。因みに、P S データ形式は、多重化処理された映像データ及び音声データを所定のデジタル蓄積媒体に蓄積する場合に適用され、T S データ形式は、多重化された映像データ及び音声データを伝送する場合に適用される。

【0006】ここで例えば T S データ形式では、圧縮符号化された映像データ及び音声データがそれぞれ所定単位毎にパケット (以下、これを T S (Transport Stream) パケットと呼ぶ) 化され、この結果得られる各 T S パケットを時分割多重することにより T S パケット列 (いわゆるトランスポートストリーム) を形成するように規定されている。なお T S パケットは、ヘッダ部及びデータ部から構成されており、ヘッダ部には同期バイトやパケット識別子及びその他の各種パケット制御データが格納され、データ部には圧縮符号化された映像データ又は音声データが格納されている。因みに、同期バイトは T S パケットの開始を示すデータであり、パケット識別子は T S パケットに格納されている情報の内容を示すデータである。

【0007】ところで、近年、上述したような M P E G 2 による圧縮符号化方法を用いて映像データ及び音声データを圧縮符号化して多重化処理し、これを地上波、衛星波又はケーブル等を利用して放送するデジタル放送システムが考えられている。このようなデジタル放送システムでは、圧縮符号化した映像データ及び音声データをそれぞれ上述したように T S パケット化して多重化処理することにより、1 つの回線で複数のテレビジョン番組を放送し得ると考えられる。

【0008】すなわちこのデジタル放送システムを実際に D V B (Digital Video Broadcasting) 等のデジタルテレビジョン放送に適用し、例えば伝送媒体として放送衛星を使用した場合、通常の放送衛星には約 20～30 程度のトランスポンダが搭載されており、1 つのトランスポンダ当たり約 30 数 (Mbps) 程度の帯域を有している。1 つのトランスポンダが 36 (Mbps) 程度の帯域を有すると仮定すると共に 1 つのテレビジョン番組当たり 4 (Mbps) 程度の帯域を使用すると仮定すると、1 つの

トランスポンダ当たり  $36/4=9$  によつて表すように9つのテレビジョン番組を同時に放送し得ると考えられる。これを多チャンネル化(又は多重化)と呼ぶ。

【0009】ところでこのデジタル放送システムでは、送信側においてTSパケットデータのヘッダ部に当該TSパケットデータが形成された時の時間情報(以下、これをPCR(Program Clock Reference)と呼ぶ)が格納され、受信側の動作クロックの位相をこのPCRに基づいて送信側の動作クロックの位相と同期させることにより、映像データ及び音声データを正確に再生し得るようになされている。なおPCRは、全てのTSパケットデータには格納されず、受信側において映像データ及び音声データの正確な再生を維持し得るような所定のTSパケットデータ毎に格納される。因みに、PCRは例えば映像データ又は音声データの1フレーム分の先頭データが格納されたTSパケットデータ毎に格納される。

【0010】

【発明が解決しようとする課題】図7はこのようなデジタル放送システム5の一構成例を示すものであり、まず送信装置6では、各データ出力部7A~7Nからそれぞれ供給されるテレビジョン番組に対応する所定のデータ(例えば映像データD1A~D1N及び音声データD2A~D2N並びに番組情報データD3A~D3N)をそれぞれ対応する符号化装置8A~8Nにおいて圧縮符号化すると共に、このようにして得られた圧縮符号化された映像データ及び音声データ並びに番組情報データを順次所定ブロック毎にTSパケット化してTSパケットデータD4A~D4Nを形成し、これを順次多重化装置9に供給するようになされている。

【0011】ここで各符号化装置8A~8Nは、それぞれ対応するクロック発生回路10A~10Nから動作クロックCLK1A~CLK1Nが供給され、この動作クロックCLK1A~CLK1Nのタイミングで圧縮符号化及びTSパケット化等の処理を実行する。

【0012】また各クロック発生回路10A~10Nは、それぞれ対応するPCR発生回路11A~11Nにも動作クロックCLK1A~CLK1Nを供給しており、各PCR発生回路11A~11Nはそれぞれ対応する動作クロックCLK1A~CLK1Nに同期して順次カウントし、このカウント値データをカウント値データD5A~D5Nとしてそれぞれ対応する符号化装置8A~8Nに供給する。

【0013】かくして図8に示すように、各符号化装置8A~8Nは、それぞれ複数のTSパケットデータD4A~D4Nを形成する際、PCR格納対象の所定のTSパケットデータTS1~TS3にそれぞれこれらを形成したときのカウント値をPCRとして格納する。これに加えて各符号化装置8A~8Nは、各TSパケットデータTS1~TS3間(すなわち、TSパケットデータT

S1とTSパケットデータTS2との間、又はTSパケットデータTS2とTSパケットデータTS3との間)のPCRが格納される時間間隔(カウント数)をこれら各TSパケットデータTS1~TS3を供給する時間間隔と一致させるようにして各TSパケットデータD4A~D4Nをそれぞれ多重化装置9に供給する。

【0014】かくして多重化装置9は、各符号化装置8A~8Nからそれぞれ入力された各TSパケットデータD4A~D4N(PCRが格納されたTSパケットデータを含む)を多重化することによりトランスポートストリームD7を形成して送信回路12に供給する。送信回路12は、トランスポートストリームD7を所定フォーマットの送信信号S1に変換して送信する。

【0015】一方受信装置15では、受信回路16において送信信号S1を受信してトランスポートストリームD7に変換した後、これを送信装置6の各データ出力部7A~7Nに対応して設けられた各選択回路17A~17Nに供給する。各選択回路17A~17Nは、トランスポートストリームD7からそれぞれ対応する各TSパケットデータD4A~D4Nを選択し、これを対応する抽出回路18A~18N及び復号化装置19A~19Nに供給する。

【0016】抽出回路18A~18Nは、それぞれ対応する各TSパケットデータD4A~D4NからPCRが格納された各TSパケットデータD4A~D4Nを選別して当該PCRを抽出し、これをPCRデータD8A~D8Nとしてそれぞれ対応する位相同期ループ回路(以下これをPLL(Phase Locked Loop)回路と呼ぶ)20A~20Nに供給する。

【0017】PLL回路20A~20Nは、それぞれ対応する各PCRデータD8A~D8Nを用い、送信装置6におけるクロック発生回路10A~10Nから供給される動作クロックCLK1A~CLK1Nに同期した動作クロックCLK2A~CLK2Nを発生し、それぞれ対応する各復号化装置19A~19Nに供給する。

【0018】かくして受信装置15では、復号化回路19A~19Nにおいてそれぞれ対応する各TSパケットデータD4A~D4Nを、送信装置6の符号化装置8A~8Nにおける動作クロックCLK1A~CLK1Nと同期した動作クロックCLK2A~CLK2Nのタイミングで順次復号化し、このようにして得られた復号化された映像データD1A~D1N及び音声データD2A~D2N並びに番組情報データD3A~D3Nを再生し得るようになされている。

【0019】ところでこのような構成のデジタル放送システム5においては、多重化装置9が各符号化装置8A~8Nからそれぞれ供給される各TSパケットデータD4A~D4Nを順次所定の順番で1つずつ読み込むことにより多重化するようになっている。

【0020】すなわち、図9に示すように、多重化装置



9は、例えば第1～第5のテレビジョン番組CH1～CH5にそれぞれ対応する映像データ等を多重化する場合、第1～第5のテレビジョン番組CH1～CH5に対応する入力部27A～27E及び1つの多重化部28から構成されている。これにより多重化装置9では、例えば第1のテレビジョン番組CH1に対応するTSパケットデータD15AがPCRが格納されたタイミング（例えばカウント値が「n」を示すタイミング）で入力部27Aに到着し、また第5のテレビジョン番組CH5に対応するTSパケットデータD15BがこれにPCRが格納されたタイミング（カウント値が「n+1」を示すタイミング）で入力部27Eに到着するように供給され、さらに第2のテレビジョン番組CH2に対応するTSパケットデータD15CもこれにPCRが格納されたタイミング（カウント値が「n+2」を示すタイミング）で入力部27Bに到着するように供給され、かくして各TSパケットデータD15A～D15Cを各入力部27A～27Eに到着した順番で順次多重化部28に読み込む事により多重化処理するようになされている。

【0021】ところが図10に示すように、多重化装置9では、例えば多重化部28においてTSパケットデータD15Aを読み込む間に各TSパケットデータD15B及びD15Cがそれぞれ対応する入力部27E及び27Bに到着すると、このTSパケットデータD15B及びD15Cはそれぞれ対応する入力部27E及び27Bにおいて待機させられ、かくして各TSパケットデータD15B及びD15Cの供給時間に遅れが生じることになる。

【0022】すなわち、各TSパケットデータD15B～D15D間のカウント数に対して、これら各TSパケットデータD15B～D15Dが供給される時間間隔が増加し、当該時間間隔をPCR間の示す時間間隔であるカウント数で表現し得なくなる。

【0023】従つて、図7に示すようなデジタル放送システム5において、送信装置6の動作クロックCLK1A～CLK1Nと受信装置15の動作クロックCLK2A～CLK2Nとが同期しなくなり、かくして受信装置15において映像データ及び音声データ並びに番組情報データを正確に再生し難くなる。

【0024】このため図7に示す多重化装置9において、各TSパケットデータD15A～D15Dが待機状態となった時間を検出し、この時間に基づいて各TSパケットデータD15A～D15DのPCRを修正するPCR修正回路が必要となる。

【0025】ところで、現在TSパケットを送出する規格であるTSパケットインターフェースには、主にDVB-ASI (Digital Video Broadcasting - Asynchronous Serial Interface) と、DVB-Parallel (Digital Video Broadcasting - Parallel) の2種類が用いられている。DVB-ASIはシリアル伝送であり、図

11に示すように27 [MHz] の周波数でTSパケットを伝送するものである。パケット間の間隔は最低2クロック以上と規定されている。DVB-Parallelはパラレル伝送であり、図12に示すように 13.5 [MHz] 以下の周波数で、TSパケットを連続して伝送するものである。

【0026】DVB-ASI及びDVB-Parallelはそれぞれ以下に示すような長所、短所を持っている。DVB-ASIはシリアル伝送のため、DVB-Parallelに比べ伝送可能距離を長くし得、また使用するケーブルも同軸ケーブルを利用し得るため、設置に際する取扱に優れている。これに対しDVB-Parallelはパラレル伝送のため、DVB-ASIに比べ伝送可能距離が短く、また使用するケーブルもDVB-ASIに比べ太いものを用いるが、同期周波数が13.5 [MHz] 以下とDVB-ASIに比べて低い周波数で動作するため、回路の設計が容易となる。

【0027】このように、DVB-ASIとDVB-Parallelはそれぞれ長所及び短所を有しているため両者は混在して使用されており、放送局等で使用される多重化装置はDVB-ASIとDVB-Parallelの2つを備える必要がある。

【0028】ここでDVB-ASIとDVB-Parallelは同期周波数が異なるため、DVB-ASI用多重化部と、DVB-Parallel用多重化部のそれぞれ専用の多重化部が必要となる。このため図13に示すように、多重化装置9においてDVB-ASIとDVB-Parallelの2つのインターフェースを備えようとした場合、多重化部の回路規模が2倍となり、回路構成が複雑になるという欠点があつた。

【0029】本発明は以上の点を考慮してなされたもので、簡易な構成で複数の異なる周波数に同期したTSパケットデータを供給し得る多重化装置を提案しようとするものである。

【0030】

【課題を解決するための手段】かかる課題を解決するため本発明においては、少なくとも時間情報が格納されたパケットデータの多重化処理に要した処理時間を検出し、この処理時間に基づいて対応するパケットデータの時間情報を修正し、次いでパケットデータを書き込み蓄積し、一定時間の後に書き込んだ時とは異なる周波数に同期して読み出すようにしたことにより、2つの異なる周波数でパケットデータを供給し得る。

【0031】

【発明の実施の形態】以下図面について、本発明の一実施の形態を詳述する。図7との対応部分に同一符号を付して示す図1において、30は全体としてデジタル放送システムを示し、多重化装置31の構成を除いて図7に示すデジタル放送システム5と同様に構成されている。

【0032】送信装置6は、各データ出力部7A~7Nからそれぞれ供給されるテレビジョン番組に対応する所定のデータ（例えば映像データD1A~D1N及び音声データD2A~D2N並びに番組情報データD3A~D3N）をそれぞれ対応する符号化装置8A~8Nにおいて圧縮符号化すると共に、このようにして得られた圧縮符号化された映像データ及び音声データ並びに番組情報データを順次所定ブロック毎にTSパケット化してTSパケットデータD4A~D4Nを形成し、これを順次多重化装置31に供給するようになされている。

【0033】ここで各符号化装置8A~8Nは、それぞれ対応するクロック発生回路10A~10Nから動作クロックCLK1A~CLK1Nが供給され、この動作クロックCLK1A~CLK1Nのタイミングで圧縮符号化及びTSパケット化等の処理を実行する。

【0034】また各クロック発生回路10A~10Nは、それぞれ対応するPCR発生回路11A~11Nにも動作クロックCLK1A~CLK1Nを供給しており、各PCR発生回路11A~11Nはそれぞれ対応する動作クロックCLK1A~CLK1Nに同期して順次カウントし、このカウント値データをカウント値データD5A~D5Nとしてそれぞれ対応する符号化装置8A~8Nに供給する。

【0035】かくして図1に示すように、各符号化装置8A~8Nは、それぞれ複数のTSパケットデータD4A~D4Nを形成する際、PCR格納対象の所定のTSパケットデータTS1~TS3にそれぞれこれらを形成したときのカウント値をPCRとして格納する。これに加えて各符号化装置8A~8Nは、各TSパケットデータTS1~TS3間（すなわち、TSパケットデータTS1とTSパケットデータTS2との間、又はTSパケットデータTS2とTSパケットデータTS3との間）のPCRが格納される時間間隔（カウント数）をこれら各TSパケットデータTS1~TS3を供給する時間間隔と一致させるようにして各TSパケットデータD4A~D4Nをそれぞれ多重化装置31に供給する。

【0036】図13との対応部分に同一符号を付して示す図2において、31は全体として多重化装置を示し、複数の同様構成でなる入力部32A~32Nが多重化部40に接続されている。多重化部40は、パラレルシリアル変換部60を経由するDVB-ASIインターフェース（以下DVB-ASI）と、パラレルシリアル変換部60を経由しないDVB-Parallelインターフェース（以下DVB-Parallel）の2つのインターフェースを経由して、送信回路12（図1）に接続される。多重化部40にはパラレルクロック発生回路63からパラレルクロックCLKpが供給されており、多重化部40は当該パラレルクロックCLKpに同期して動作している。

【0037】図3は多重化装置31の詳細なブロック図

である。符号化装置8A~8Nからそれぞれ対応する入力部32A~32NにTSパケットデータD4A~D4Nが供給される。入力部32Aに供給されたTSパケットデータD4Aは、パケット識別回路34A及びタイムスタンプ付加回路35Aへと供給される。パケット識別回路34Aは各TSパケットデータD4Aの最後尾を識別し、当該最後尾が入力部32Aに到着した時点で、タイミング信号S10をタイムスタンプ付加回路35Aに供給する。

10 【0038】ここで多重化部40にはタイムスタンプ発生回路41が設けられており、当該タイムスタンプ発生回路41にはシリアルクロック発生回路10が発生するシリアルクロックCLKsが供給されている。タイムスタンプ発生回路41はシリアルクロックCLKsに同期してカウント動作を行い、カウント値をカウント値データD30としてタイムスタンプ付加回路35Aに供給する。

20 【0039】タイムスタンプ付加回路35Aはタイミング信号S10に基づいて、順次到着したTSパケットデータD4Aの最後尾に、当該TSパケットデータD4Aが入力部32Aに到着した時点のカウント値を第1タイムスタンプTM1として付加した後、TSパケットデータD31Aとしてメモリ42Aに供給する。この第1タイムスタンプTM1は、多重化装置31がTSパケットデータD4Aの多重化処理を開始した時刻を意味する。

【0040】メモリ42Aは入力された各TSパケットデータD31Aを順次格納すると共に、この格納情報を格納信号S11として多重化部40の読出し回路43に供給する。

30 【0041】読出し回路43は格納信号S11に基づいてメモリ42A内のTSパケットデータD31Aの格納情報を判別し、当該TSパケットデータD31Aの格納量が所定量に達すると、当該メモリ42Aに読出し信号S12を供給する。

【0042】読出し信号S12を受信したメモリ42Aは、その内部に格納していたTSパケットデータD31Aを読み出し、多重化部40に設けられたタイムスタンプ識別回路44、PCR識別回路45及びPCR修正回路46にそれぞれ供給する。

40 【0043】タイムスタンプ識別回路44はTSパケットデータD31Aに加えられた第1タイムスタンプTM1を識別し、これを第1タイムスタンプデータD35として演算回路51に供給する。

【0044】演算回路51にはタイムスタンプ発生回路41からカウント値データD30が常時供給されており、第1タイムスタンプデータD35が到着した時点のカウント値を第2タイムスタンプTM2として取り込む。この第2タイムスタンプTM2は、多重化装置31においてTSパケットデータD4Aが多重化処理を終了した時刻を意味する。よつて演算回路51は、第1タイ

ムスタンプTM1及び第2タイムスタンプTM2から、多重化装置31がTSパケットデータD4Aの多重化処理に要した時間である処理時間Tを算出し、当該処理時間Tを処理時間データD36としてPCR修正回路46に送出する。

【0045】PCR識別回路45は各TSパケットデータD31A内におけるPCRの有無を識別し、当該TSパケットデータD31AにPCRが格納されている場合にはPCR修正回路46においてPCRの修正処理動作を実行させ、当該TSパケットデータにPCRが格納されていない場合にはPCR修正回路46においてPCRの修正処理動作を停止させるような内容の制御信号S20をPCR修正回路46に送出する。

【0046】これによりPCR修正回路46は、メモリ42Aから入力されたTSパケットデータD31AにPCRが格納されている場合にはそのPCR修正動作を実行し、当該TSパケットデータD31Aに含まれるPCRと処理時間データD36から、符号化当初に計算されたPCRに多重化処理に要した時間を加えたPCRである修正PCRを算出し、当該修正PCRをTSパケットデータD31AのPCRが格納されていた所定位置に格納した後、当該TSパケットデータD31Aを修正TSパケットデータD40Aとしてタイムスタンプ除去回路50に供給する。またメモリ42Aから入力されたTSパケットデータD31AにPCRが格納されていない場合にはそのPCR修正動作を停止し、当該TSパケットデータD31Aをそのまま修正TSパケットデータD40Aとしてタイムスタンプ除去回路50に供給する。

【0047】タイムスタンプ除去回路50は、修正TSパケットデータD40Aから第1タイムスタンプTM1を除去した後、これをパラレルTSパケットデータD45Aとしてパラレル-シリアル変換部60に、またDVB-Parallelを経由して送信回路12(図1)に供給する。

【0048】ここでPCRは、シリアルクロックCLKsをクロックとするカウンタの値である。また、多重化部40はパラレルクロックCLKpに同期して動作しており、パラレルTSパケットデータD45AもパラレルクロックCLKpに同期している。ところがシリアルクロックCLKsとパラレルクロックCLKpは同期しているとは限らず、周波数も異なる。このため図4に示すように、ある一つの修正PCRが示す修正PCRタイミングtpc(n)と、これに対応するパラレルTSパケットデータD45AのPCRであるPCR-p(n)のパラレルPCRタイミングtpp(n)との間に、シリアルクロックCLKs上において1クロック以下の誤差を生ずる。この誤差をPCR correction error Tpc eと呼ぶ。

【0049】しかし、DVBの規格ではこの誤差は13クロック以内であれば許容範囲内とされているため、実

用上このPCR correction error Tpc eは問題とされない。このため、修正PCRタイミングtpc(n)を用いてパラレルPCRタイミングtpp(n)とする事ができる。従って、PCR修正回路46において修正された修正PCRの値を、パラレルTSパケットデータD45AのPCR(PCR-p(n))として使用し得る。

【0050】かくして多重化部40は、PCRが格納されたTSパケットデータD31Aの当該PCRを多重化処理の処理時間に基づいて修正し、当該修正PCRが格納された各パラレルTSパケットデータD45Aを供給する時間間隔と、当該修正PCR間のカウンタ数の差とを一致させるようになされている。

【0051】因みにこの多重化部40では、各入力部32A~32Nのそれぞれに対応するメモリ42A~42Nから読出し回路43に格納信号S11を供給することにより、読出し回路43が各メモリ42A~42Nにおける各TSパケットデータD31A~31Nの格納状況を判別し、各TSパケットデータD31A~31Nの格納量が所定量に達すると、各メモリ42A~42Nの予め設定された読み出しの順番に基づいて順次各メモリ42A~42Nに読出し信号S12を供給する。これにより多重化部40では、読出し回路43が各TSパケットデータD31A~31Nを順次1つずつ読み出すことにより、各TSパケットデータD31A~31Nを多重化処理し得るようになされている。

【0052】パラレル-シリアル変換部60に送出されたパラレルTSパケットデータD45Aは、バッファ61及びバッファコントローラ62に供給される。バッファコントローラ62はパラレルTSパケットデータD45Aを監視し、当該パラレルTSパケットデータD45Aの供給を確認するとバッファ61にリード・ライト信号S21を送出し、バッファ61に対しパラレルTSパケットデータD45Aの書き込みを指示する。リード・ライト信号S21を受信したバッファ61は、パラレルTSパケットデータD45Aの書き込みを開始し、その内部に当該パラレルTSパケットデータD45Aを蓄積する。

【0053】さらにバッファコントローラ62はパラレルTSパケットデータD45Aの監視を続け、バッファ61が当該TSパケットデータD45Aの1つのパケットの書き込みを完了したことを確認すると、バッファ61にリード・ライト信号S21を送出し、バッファ61に対し蓄積したパラレルTSパケットデータD45Aの読み出しを指示する。バッファ61は、TSパケットデータD45AをシリアルクロックCLKsに同期させ、シリアルTSパケットデータD50Aとして、DVB-ASI経由で送信回路12(図1)に送出する。

【0054】図5はバッファ61の書き込み及び読み出し動作を示すタイミング図であり、バッファ61はパラ

10

20

30

40

50

レルTSパケットデータD45Aが到着するとパラレルクロックCLK<sub>p</sub>に同期して書き込み動作Wを行い、当該パラレルTSパケットデータD45Aの一つのパケットの書き込みが完了すると、すぐにシリアルクロックCLK<sub>s</sub>に同期して読み出し動作Rを行い、シリアルTSパケットデータD50Aとして送出している。

【0055】ここで、ある一つの修正PCRが示す修正PCRタイミング $t_{pc}(n)$ と、これに対応するシリアルTSパケットデータD50AのPCRであるPCR- $s(n)$ のシリアルPCRタイミング $t_{ps}(n)$ の間には遅れが生じる。この遅れを変換遅れ $t_d$ と呼ぶ。図6に示すように変換遅れ $t_d$ は、遅れ $t_{da}$ と遅れ $t_{db}$ に分けて考えられる。

【0056】遅れ $t_{da}$ は、修正PCRタイミング $t_{pc}(n)$ から、対応するパラレルTSパケットの最後尾に当たるパラレル最後尾タイミング $t_{ep}(n)$ までの時間に相当する。さらに、遅れ $t_{da}$ を修正PCRタイミング $t_{pc}(n)$ ～パラレルPCRタイミング $t_{pp}(n)$ 間と、パラレルPCRタイミング $t_{pp}(n)$ ～パラレル最後尾タイミング $t_{ep}(n)$ に分けて考える。 $t_{pc}(n)$ ～ $t_{pp}(n)$ 間は図4で示すPCR correction error  $T_{pce}$ であり、シリアルクロック上で1クロック以下のため実用上無視できる。 $t_{pp}(n)$ ～ $t_{ep}(n)$ 間は、PCRパケットの先頭から当該PCRパケットを含むパラレルTSパケットの最後尾までの時間であり、常に一定である。このため、遅れ $t_{da}$ は常に実用上一定とみなし得る。

【0057】遅れ $t_{db}$ は、パラレルTSパケットの最後尾に当たるパラレル最後尾タイミング $t_{ep}(n)$ から、シリアルPCRタイミング $t_{ps}(n)$ までの時間に相当する。さらに、遅れ $t_{db}$ をパラレル最後尾タイミング $t_{ep}(n)$ ～シリアル先頭部タイミング $t_{hs}(n)$ 間と、シリアル先頭部タイミング $t_{hs}(n)$ ～シリアルPCRタイミング $t_{ps}(n)$ に分けて考える。 $t_{ep}(n)$ ～ $t_{hs}(n)$ 間は、バツファ61が一つのTSパケットの書き込みを完了してから当該TSパケットをシリアルクロックCLK<sub>s</sub>に同期して読み出すまでの遅れであり、これはシリアルクロック上で1クロック以下であるから、実用上無視できる。 $t_{hs}(n)$ ～ $t_{ps}(n)$ 間は、シリアルTSパケットの先頭からPCRパケットの先頭までの時間であり、常に一定である。このため、遅れ $t_{db}$ は常に実用上一定とみなし得る。

【0058】従つて、変換遅れ $t_d$ は常に実用上一定とみなし得る。このため図6に示すPCR- $p(n)$ とPCR- $s(n)$ 、PCR- $p(n+1)$ とPCR- $s(n+1)$ のような対応するパラレルTSパケットとシリアルTSパケットの間隔は常に一定となるため、PCR- $p(n)$ とPCR- $p(n+1)$ の間隔と、PCR- $s(n)$ とPCR- $s(n+1)$ の間隔は常に同一と

なる。これはシリアルTSパケットがパラレルTSパケットと同一間隔で供給されることを意味する。

【0059】以上により、PCR修正回路46で修正された修正PCRを、シリアルTSパケットデータD50A～D50NのPCRとして使用し得る。

【0060】かくしてシリアル～パラレル変換部60は、TSパケットをパラレルクロックからシリアルクロックに乗せ変えるパラレル～シリアル変換（周波数変換とも呼ぶ）を行う。

【0061】かくして多重化装置31は、符号化装置8A～8Nより供給された各TSパケットデータD4A～D4Nを多重化し、多重化処理に要した時間を算出し各TSパケットデータに含まれるPCRを修正した後、DVB-Parallel経由のパラレルTSパケットデータD45A～D45N及びDVB-ASI経由のシリアルTSパケットデータD50A～D50Nとして送信回路12に供給するようになされている。

【0062】送信回路12は、パラレルTSパケットデータD45A～D45NまたはシリアルTSパケットデータD50A～D50Nのどちらかを選択し、所定フォーマットの送信信号S1に変換して送信する。

【0063】一方受信装置15では、受信回路16において送信信号S1を受信してトランスポートストリームD7に変換した後、これを送信装置6の各データ出力部7A～7Nに対応して設けられた各選択回路17A～17Nに供給する。各選択回路17A～17Nは、トランスポートストリームD7からそれぞれ対応する各TSパケットデータD4A～D4Nを選択し、これを対応する抽出回路18A～18N及び復号化装置19A～19Nに供給する。

【0064】抽出回路18A～18Nは、それぞれ対応する各TSパケットデータD4A～D4NからPCRが格納された各TSパケットデータD4A～D4Nを選別して当該PCRを抽出し、これをPCRデータD8A～D8Nとしてそれぞれ対応するPLL回路20A～20Nに供給する。

【0065】PLL回路20A～20Nは、それぞれ対応する各PCRデータD8A～D8Nを用い、送信装置6におけるクロック発生回路10A～10Nから供給される動作クロックCLK1A～CLK1Nに同期した動作クロックCLK2A～CLK2Nを発生し、それぞれ対応する各復号化装置19A～19Nに供給する。

【0066】かくして受信装置15は、復号化回路19A～19Nにおいて、それぞれ対応する各TSパケットデータD4A～D4Nを、送信装置6の符号化装置8A～8Nにおける動作クロックCLK1A～CLK1Nと同期した動作クロックCLK2A～CLK2Nのタイミングで順次復号化し、このようにして得られた復号化された映像データD1A～D1N及び音声データD2A～D2N並びに番組情報データD3A～D3Nを再生し得

るようになされている。

【0067】以上の構成において、多重化装置31は、入力部32A~32Nにおいて各TSパケットデータD4A~D4Nがそれぞれ対応するタイムスタンプ付加回路35A~35Nに到着したタイミングを示す第1タイムスタンプTM1を付加した後、読み出し回路43から供給される読出し信号S12の指示によりTSパケットデータD31A~D31Nとして多重化部40のタイムスタンプ識別回路44、PCR識別回路45及びPCR修正回路46に供給する。

【0068】タイムスタンプ識別回路44はTSパケットデータD31A~D31Nに付加された第1タイムスタンプTM1を識別し、これを第1タイムスタンプデータD35として演算回路51に供給する。

【0069】演算回路51は、多重化処理の終了時間を意味する、第1タイムスタンプデータD35が当該演算回路51に到着したタイミングを示す第2タイムスタンプTM2を、タイムスタンプ発生回路41が供給するカウント値データD30より得る。

【0070】演算回路51は、第1タイムスタンプTM1と第2タイムスタンプTM2から、多重化装置31が多重化に要した時間である処理時間Tを算出し、当該処理時間Tを処理時間データD36としてPCR修正回路46に供給する。

【0071】PCR修正回路46は、TSパケットデータD31A~D31Nに含まれるPCRと処理時間データD36から、符号化当初に計算されたPCRに多重化に要した時間を加えた修正PCRを算出し、当該TSパケットデータD31A~D31NのPCRと置き換えた後、修正TSパケットデータD40A~D40Nとしてタイムスタンプ除去回路50に供給する。

【0072】タイムスタンプ除去回路50は、修正TSパケットデータD40A~D40Nから第1タイムスタンプTM1を除去した後、これをパラレルTSパケットデータD45A~D45Nとしてパラレル-シリアル変換部60のバッファ61及びバッファコントローラ62に、またDVB-Parallelを経由して送信回路12に供給する。

【0073】バッファコントローラ62はパラレルTSパケットデータD45A~D45Nを監視し、バッファ61に対して、図5に示すようにパラレルTSパケットデータD45A~D45Nの供給開始に応じて当該パラレルTSパケットデータD45A~D45Nを書き込み、パラレルTSパケットデータD45A~D45Nの書き込み完了に応じて当該パラレルTSパケットデータD45A~D45NをシリアルクロックCLKsに同期させてシリアルTSパケットデータD50A~D50Nとして読み出すように、リード・ライト信号S21を供給する。

【0074】ここで、図6に示すように、パラレルTS

パケットとこれに対応するシリアルTSパケット、例えばPCR-p(n)とPCR-s(n)、PCR-p(n+1)とPCR-s(n+1)の間隔は常に一定であるため、PCR-p(n)とPCR-p̄(n+1)の間隔と、PCR-s(n)とPCR-s(n+1)の間隔は常に同一となる。これはシリアルTSパケットがパラレルTSパケットと同一間隔で供給されることを意味し、このためPCR修正回路46で修正された修正PCRを、シリアルTSパケットデータD50A~D50NのPCRとして使用し得る。

【0075】かくしてバッファ61は、リード・ライト信号S21の制御により、パラレルTSパケットデータD45A~D45Nを書き込み、シリアルクロックCLKsに同期したシリアルTSパケットデータD50A~D50Nとして読み出すことでパラレル-シリアル変換を行い、DVB-ASIを経由して送信回路12に供給する。

【0076】以上の構成によれば、TSパケットデータD4A~D4Nにそれぞれ多重化処理の開始時刻を示す第1タイムスタンプTM1を付加しTSパケットデータD31A~D31Nとする入力部32A~32Nと、TSパケットデータD31A~D31Nが多重化処理された時刻を示す第2タイムスタンプTM2を取り込み、第1タイムスタンプTM1と第2タイムスタンプTM2に基づいてこれら各TSパケットデータD31A~D31Nが多重化処理に要した処理時間を算出し、TSパケットデータD31A~D31Nについて各TSパケットデータD31A~D31NのPCRを多重化処理に要した処理時間に基づいて修正し、パラレルクロックCLKpに同期させパラレルTSパケットデータD45A~D45Nとする多重化部40と、パラレルTSパケットデータD45A~D45Nを書き込み、一定時間の遅れの後にシリアルクロックCLKsに同期したシリアルTSパケットデータD50A~D50Nとして読み出すパラレル-シリアル変換部を設けるようにしたことにより、簡易な回路構成でDVB-ASIとDVB-Parallelの2つの出力インターフェースを有する多重化装置を実現し得る。

【0077】なお上記の実施の形態においては、バッファ61の書き込み及び読み出しを制御するためにバッファコントローラ62を用い、パラレルTSパケットデータD45A~D45Nがバッファ61へ供給開始されたタイミング及びパラレルTSパケットデータD45A~D45Nがバッファ61へ書き込み完了されたタイミングを基にバッファ61の書き込み及び読み出しを制御する場合について述べたが、本発明はこれに限らず、バッファ61におけるパラレルTSパケットデータD45A~D45Nの書き込みから読み出しまでの時間を固定し得るような他の制御手段を適用するようにしても良い。

【0078】また上記の実施の形態においては、本発明

をデジタル放送システム30に用いられる多重化装置31に適用する場合について述べたが、本発明はこれに限らず、MPEG2による圧縮符号化方法を適用したこの他種々の送信装置及び送受信装置並びに記録装置及び記録再生装置に用いられる多重化装置に適用するようにしても良い。

【0079】さらに上記の実施の形態においては、多重化装置31からの出力として、DVB-ParallelとDVB-ASIをそれぞれ1系統備えるようになされているが、本発明はこれに限らず、DVB-ParallelとDVB-ASIをそれぞれ複数系統備えるようにしても良い。

【0080】さらに上記の実施の形態においては、多重化装置31と送信回路12の間のインターフェースとしてDVB-ASI及びDVB-Parallelを用いたが、本発明はこれに限らず、他の規格のインターフェースにも適用しても良い。

【0081】

【発明の効果】上述のように本発明によれば、パケットデータを多重化し、なおかつ多重化に伴うパケットデータの時間情報を修正する多重化手段と、パケットデータを書き込み蓄積した後、当該パケットデータを書き込んだ時とは異なる周波数に同期して読み出す蓄積手段と、パケットデータを書き込みから読み出しまでの時間を一定に制御する制御手段とを設けるようにしたことにより、簡易な回路構成で、複数の異なる周波数に同期したパケットデータを供給することができる多重化装置及び多重化方法を実現し得る。

【図面の簡単な説明】

【図1】本発明による多重化装置を用いたデジタル放送システムの一実施の形態を示すブロック図である。

【図2】本発明による多重化装置の一実施の形態を示す

【図4】

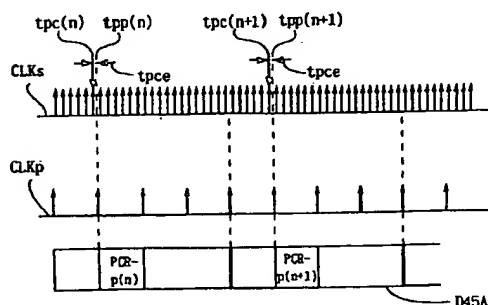


図4 パラレルTSパケットデータのPCRタイミング

ブロック図である。

【図3】本発明による多重化装置の詳細を示すブロック図である。

【図4】パラレルTSパケットのPCRタイミングを示す略線図である。

【図5】バッファの書き込み・読み出しのタイミングを示す略線図である。

【図6】PCRの代替を示す略線図である。

【図7】デジタル放送システムの構成を示すブロック図である。

【図8】PCRとカウント値との関係を示す略線図である。

【図9】多重化装置におけるTSパケットデータの多重化処理を示す略線図である。

【図10】多重化処理によるTSパケットデータの遅れを示す略線図である。

【図11】DVB-ASI伝送を示す略線図である。

【図12】DVB-Parallel伝送を示す略線図である。

【図13】シリアル、パラレルの両者に対応した多重化装置を示す略線図である。

【符号の説明】

5、30……デジタル放送システム、6……送信装置、9、31……多重化装置、15……受信装置、32A、32B、32N……入力部、34A……パケット識別回路、35A……タイムスタンプ付加回路、40……多重化部、41……タイムスタンプ発生回路、42A……メモリ、43……読み出し回路、44……タイムスタンプ識別回路、45……PCR識別回路、46……PCR修正回路、50……タイムスタンプ除去回路、51……演算回路、60……パラレル-シリアル変換部、61……バッファ、62……バッファコントローラ。

【図5】

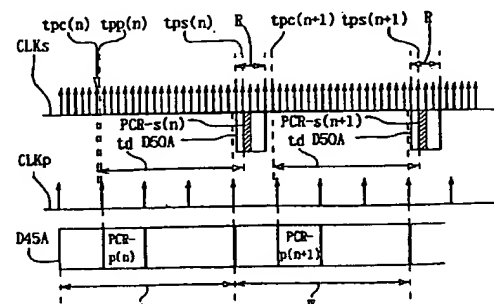


図5 バッファの書き込み・読み出しタイミング

【図 1】

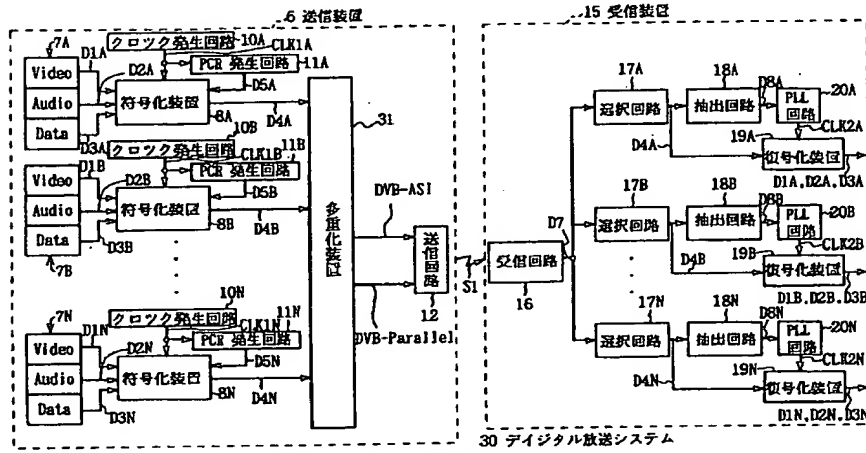


図 1 本発明によるデジタル放送システムの構成

【図 2】

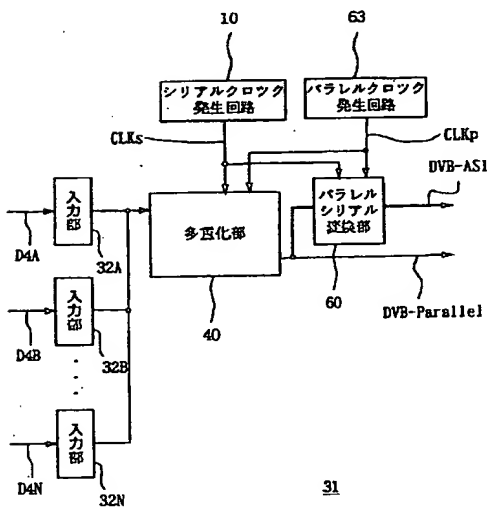


図 2 多変化装置の構成

【図 6】

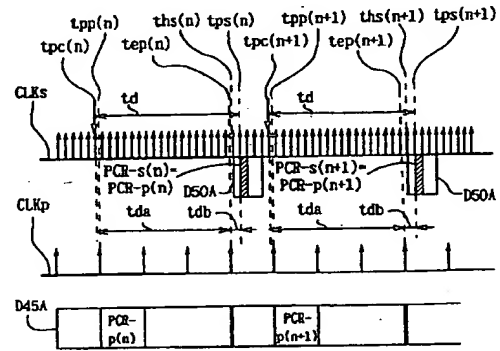


図 6 PCRの代替タイミング

【図 11】

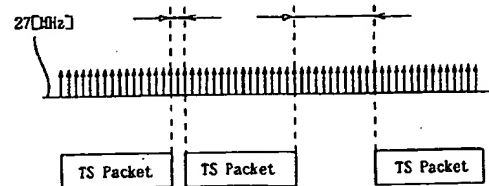
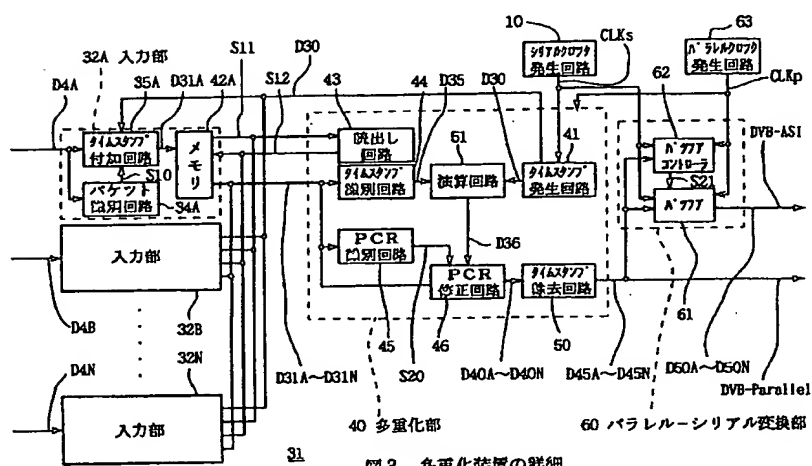
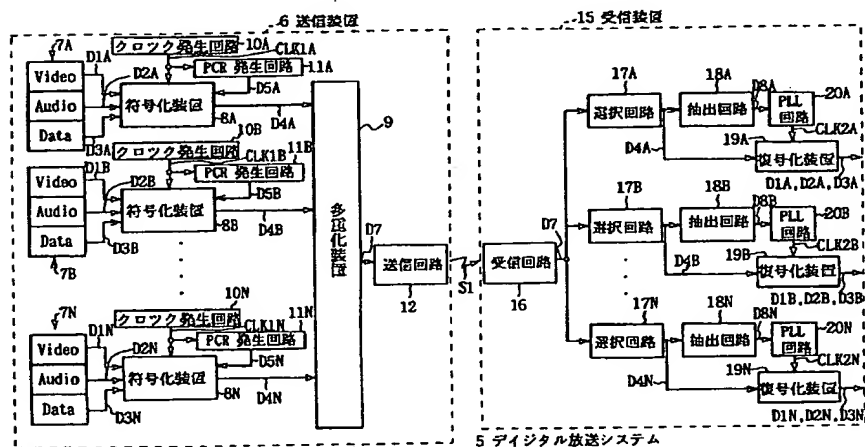


図 11 DVB-ASI伝送

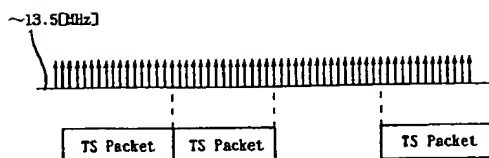
【図3】



【図7】



【図12】





【図 8】

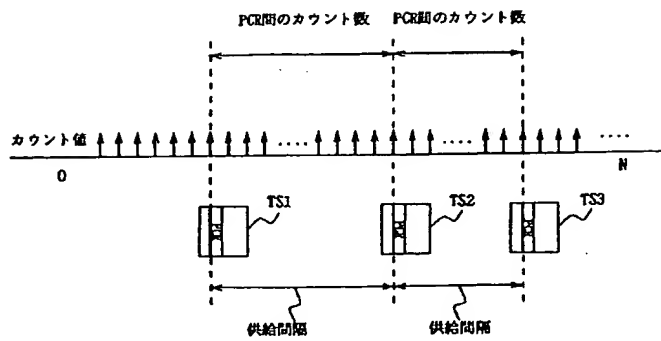


図 8 PCRとカウント値との関係

【図 9】

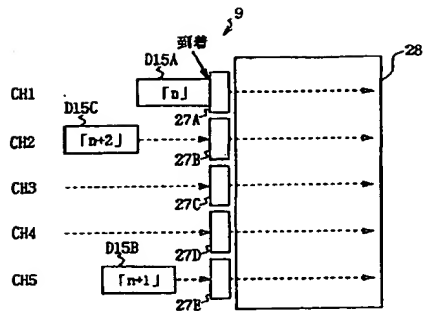


図 9 多重化装置によるTSパケットデータの多重化処理の様子

【図 10】

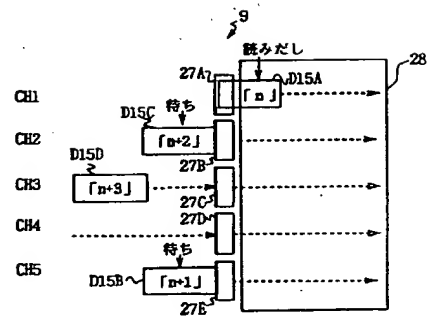


図 10 多重化処理により生じるTSパケットデータの遅れ

【図 1 3】

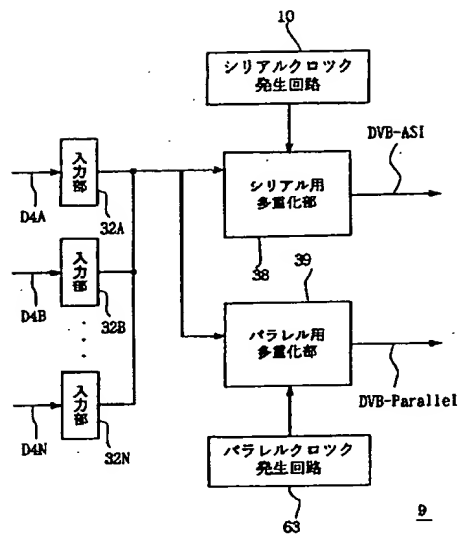


図 1 3 シリアル、パラレル両者に対応した多重化装置